**Міністерство освіти і науки України**

**Національний університет «Запорізька політехніка»**

кафедра програмних засобів

**ЗВІТ**

з лабораторної роботи №6

з дисципліни "Верифікація цифрових систем"

на тему: "**РОБОТА З ПЛАТОЮ ШВИДКОГО ПРОТОТИПУВАННЯ**"

Варіант №12

Виконав:

студент групи КНТ-227 С. М. Медведєв

Прийняв:

к.т.н., доцент Т. І. Каплієнко

2019

**Завдання 1**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту .

Тест-кейс **test1**

Унікальний ідентифікатор варіанти тестування – test1.

Короткий опис варіанта тестування – самий правий перемикач sw[0] буде вмикати / вимикати самий правий світлодіод ld[0].

Порядок виконання - ввімкнути плату, ввімкнути правий перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному правом перемикачі світиться правий світлодіод, при вимкненому - не світиться.

Категорія тесту - тестування системних компонент плати.

Автор – Медведєв С.Р.

Автоматизований - так.

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity lab1 is

port(pSW: in std\_logic\_vector (7 downto 0);

pLED: out std\_logic\_vector (7 downto 0);

pLED1: out std\_logic\_vector (7 downto 0)

);

end lab1;

architecture l1 of lab1 is

begin

pLED(0) <= pSW(0);

pLED(1) <= pSW(0);

end architecture;

**Завдання 2**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці.

Таблиця вхідних і вихідних параметрів

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варіанту** | **Вхідні параметри (перемикачі)** | | | | | | | | **Вихідні параметри (світлодіоди)** | | | | | | | |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| **1** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **2** | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| **3** | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **4** | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| **5** | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **6** | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| **7** | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| **8** | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Тест-кейс **test2**

Унікальний ідентифікатор варіанти тестування – test2.

Короткий опис варіанта тестування - значення важелів sw[0] и sw[1] (0=FALSE або 1=TRUE) подаються в якості значень вхідних параметрів модуля basic\_boolean a і b, а світлодіоди ld [0] ... ld [4] будуть показувати значення результатів роботи модуля basic\_boolean not\_a, not\_b, a\_and\_b, a\_or\_b, a\_nand\_b (0 = FALSE = викл або 1 = TRUE = вкл).

Порядок виконання - включити плату, поперемінно включати і вимикати в різних комбінаціях два правих перемикача.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному перемикачі sw [0] і вимкненому sw [1] світиться перший, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і включеному sw [1] світиться нульовий, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і вимкненому sw [1] світиться нульовий, перший і четвертий світлодіод; при включеному перемикачі sw [0] і включеному sw [1] світиться другий і третій світлодіод.

Категорія тесту - тестування системних компонент плати, логічні операції.

Автор - Медведєв С.Р.

Автоматизований - так.

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity lab1 is

port(pSW: in std\_logic\_vector (7 downto 0);

pLED: out std\_logic\_vector (7 downto 0);

pLED1: out std\_logic\_vector (7 downto 0)

);

end lab1;

architecture l1 of lab1 is

begin

pLED(4) <= pSW(0)and pSW(1) and pSW(5) and pSW(6) and pSW(7);

pLED(5) <= pSW(0)and pSW(1) and pSW(5) and pSW(6) and pSW(7);

end architecture;

**Завдання 3**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

Тест-кейс **test1**

Унікальний ідентифікатор варіанти тестування – test3.

Короткий опис варіанта тестування - при включеному стані самого правого перемикача sw [0] буде світитися другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - буде світитися перший і третій цифровий дисплей з цифрою «5».

Порядок виконання - включити плату, включити правий перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному стані самого правого перемикача sw [0] світиться другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - перший і третій цифровий дисплей з цифрою «5».

Категорія тесту - тестування системних компонент плати.

Автор - Медведєв С.Р.

Автоматизований - так.

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity lab1 is

port(pSW: in std\_logic\_vector (7 downto 0);

pLED: out std\_logic\_vector (7 downto 0);

pLED1: out std\_logic\_vector (7 downto 0);

pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);

pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);

pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);

pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)

);

end lab1;

architecture l1 of lab1 is

begin

process(pSW) is

begin

if (pSW(0) = '1') then

pHEX0 <= "11111111";

pHEX1 <= "10011001";

pHEX2 <= "11111111";

pHEX3 <= "10011001";

else

pHEX0 <= "10110000";

pHEX1 <= "11111111";

pHEX2 <= "10110000";

pHEX3 <= "11111111";

end if;

end process;

end l1;

**Завдання 4**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

Тест-кейс test4

Унікальний ідентифікатор варіанти тестування - test4.

Короткий опис варіанта тестування - необхідно вмикати / вимикати самий правий світлодіод ld [0] з частотою раз в секунду.

Порядок виконання - включити плату.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включенні плати самий правий світлодіод ld [0] загоряється з частотою раз в секунду.

Категорія тесту - тестування системних компонент плати.

Автор - Медведєв С.Р.

Автоматизований - так.

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity lab1 is

port(pSW: in std\_logic\_vector (7 downto 0);

pLED: out std\_logic\_vector (7 downto 0);

pLED1: out std\_logic\_vector (7 downto 0);

clk: in std\_logic

);

end lab1;

architecture l1 of lab1 is

signal count: integer := 0;

signal helpa: std\_logic := '0';

begin

process is

begin

wait until rising\_edge(clk);

count <= count + 1;

if t > 21e6 then

count <= 0;

helpa <= not helpa;

pLED(0) <= helpa;

end if;

end process;

end architecture;

**Завдання 5**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, (на ваш розсуд).

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity lab1 is

port(pSW: in std\_logic\_vector (7 downto 0);

pLED: out std\_logic\_vector (7 downto 0);

pLED1: out std\_logic\_vector (7 downto 0);

clk: in std\_logic

);

end lab1;

architecture l1 of lab1 is

signal count: integer := 0;

signal helpa: std\_logic := '0';

begin

process is

begin

wait until rising\_edge(clk);

count <= count + 1;

if t > 21e6 then

count <= 0;

helpa <= not helpa;

pLED(0) <= helpa;

pLED(2) <= helpa;

pLED(4) <= helpa;

pLED(6) <= helpa;

end if;

end process;

process(pSW) is

begin

if (pSW(0) = '1') then

pHEX0 <= "11111111";

pHEX1 <= "10011001";

pHEX2 <= "11111111";

pHEX3 <= "10011001";

else

pHEX0 <= "10110000";

pHEX1 <= "11111111";

pHEX2 <= "10110000";

pHEX3 <= "11111111";

end if;

end process;

end architecture;

**Висновки:** в ході виконання лабораторної роботи, було розроблено прошивку для мікроконтролеру, яка дозволяє пересувати заготовку та виконувати операції обробки станком над нею.